

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05181817 A

(43) Date of publication of application: 23.07.93

(51) Int. Cl

G06F 15/16**G06F 13/36****G06F 15/82**

(21) Application number: 03098615

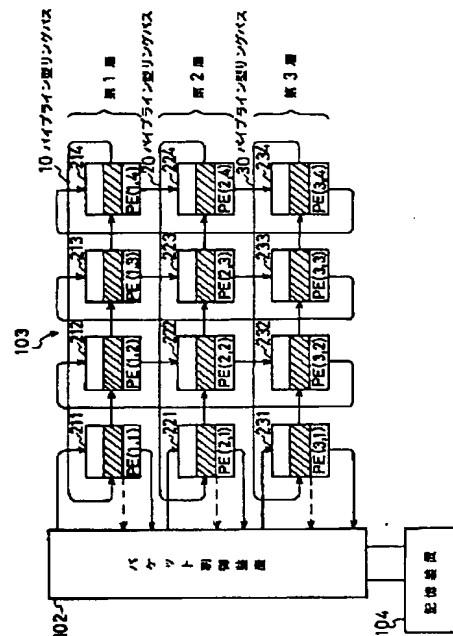
(71) Applicant: HITACHI LTD YOSHIOKA YOSHIO

(22) Date of filing: 30.04.91

(72) Inventor: SUZUKI ATSUHIRO
YOSHIOKA YOSHIO**(54) PARALLEL PROCESSOR****(57) Abstract:**

PURPOSE: To constitute a parallel processor so that the burden of a packet controller is reduced, the packet controller can allow more data packets to flow to a high speed packet processor and many tasks can be subjected efficiently to multiple processing in parallel by forming a structure in which plural PEs are connected to a pipeline type ring bus as one layer and connecting successively respective layers.

CONSTITUTION: The pipeline type ring bus of one layer in which plural shift registers are connected like a ring is provided with plural layers (10, 20, 30), and also, processing means for fetching and processing a packet flowing on the pipeline type ring bus are provided on respective shift registers of respective layers (211-214, 221-224, 231-234), and moreover on at least one processing means of each layer, a packet control means 102 for transferring the packet is provided, and to the processing means, a means for fetching the output of the processing of the upper layer of the layer for which the means belongs to the pipeline type ring bus of its own layer is imparted.



特開平5-181817

(43)公開日 平成5年(1993)7月23日

(51) Int.Cl. ⁵ G06F 15/16 13/36 15/82	識別記号 390 T 9190-5L 530 C 9072-5B 9194-5L	府内整理番号 F I	技術表示箇所
---	---	---------------	--------

審査請求 未請求 請求項の数11 (全17頁)

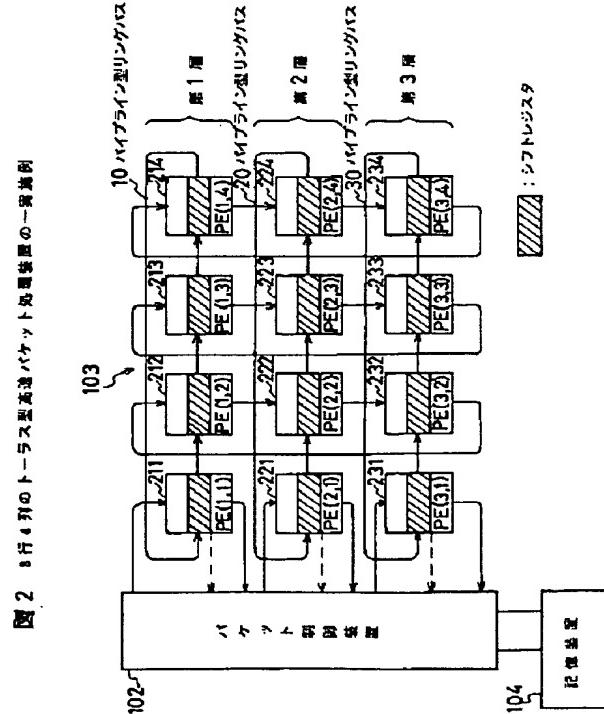
(21)出願番号 特願平3-98615	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成3年(1991)4月30日	(71)出願人 591088582 吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢4 21番地192号
	(72)発明者 鈴木 篤浩 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内
	(72)発明者 吉岡 良雄 青森県南津軽郡大鰐町大字長峰字駒木沢4 21番地192号
	(74)代理人 弁理士 富田 和子

(54)【発明の名称】並列処理装置

(57)【要約】

【構成】複数のシフトレジスタをリング状に接続した1層のパイプライン型リングバスを複数層設けるとともに(10, 20, 30)、パイプライン型リングバス上を流れるパケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け(211～214, 221～224, 231～234)、さらに、各層の少なくとも一つの処理手段に対してパケットの授受を行なうパケット制御手段102を設け、処理手段にその属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む手段381, 380, 311を付与した。

【効果】パイプライン型リングバスに複数のPEを接続した構造を一つの層とし、各層を順次接続することにより、パケット制御装置を介することなく一つのパイプライン型リングバスから他のパイプライン型リングバスにパケットが流れため、パケット制御装置の負担が軽減され、その結果、パケット制御装置はより多くのデータ・パケットを高速パケット処理装置に流すことができ、多くのタスクが効率よく並列に多重処理できる。



【特許請求の範囲】

【請求項 1】複数のシフトレジスタをリング状に接続した 1 層のパイプライン型リングバスを複数層設けるとともに、

前記パイプライン型リングバス上を流れるパケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け、

さらに、各層の少なくとも一つの処理手段に対してパケットの授受を行なうパケット制御手段を設け、

前記処理手段に、その属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む機能を付与したことを特徴とする並列処理装置。

【請求項 2】前記パケットは、各処理手段に割当てる機能を指定する機能情報を含むプログラム・パケットと、該プログラム・パケットにより指定された機能に基づき処理されるデータを含むデータ・パケットからなることを特徴とする請求項 1 記載の並列処理装置。

【請求項 3】各処理手段は、前記パイプライン型リングバス上を流れるパケットが自処理手段宛のパケットであるか否かを判定する手段と、該手段の出力に応じてそのパケットを取り込むか否かを切り換える手段とを有することを特徴とする請求項 1 または 2 記載の並列処理装置。

【請求項 4】各処理手段は、前記パイプライン型リングバスからパケットを取り込む際、そのパケットに代えて、上の層の処理手段からのパケットまたは空パケットを当該パイプライン型リングバス上に乗せる手段を有することを特徴とする請求項 3 記載の並列処理装置。

【請求項 5】前記判定する手段は、他の層の処理手段に割当てられたパケットを検知する機能も有し、更に該検知時にそのパケットを下層のパイプライン型リングバスへスルーパスする経路を設けたことを特徴とする請求項 3 記載の並列処理装置。

【請求項 6】各処理手段は、前記パイプライン型リングバス上に流れるパケットが空パケットであるか否かを判定する手段と、該手段の出力に応じて、上の層の処理手段からのパケットを当該パイプライン型リングバス上に乗せるか否かを切り換える手段と有することを特徴とする請求項 1 または 4 記載の並列処理装置。

【請求項 7】前記パケット制御手段は、第 1 の演算を指定する第 1 のパケットと、該第 1 の演算の結果を利用して行なう第 2 の演算を指定する第 2 のパケットとを別個の処理手段に割当てる際、前記第 1 のパケットを割当てる処理手段の層より下の層の処理手段に前記第 2 のパケットを割当てるマッピング管理機能を有することを特徴とする請求項 1 記載の並列処理装置。

【請求項 8】m 行 n 列に配置した m × n 個の処理手段と、

各行ごとに前記処理手段に 1 対 1 に接続された n 個のシフトレジスタをリング状に接続して構成した m 個のパイ

ブライン型リングバスと、

第 i 行の処理手段の結果を、第 i + 1 行の処理手段が接続されたパイプライン型リングバスに転送する転送手段と、

各行のパイプライン型リングバスに、被処理パケットを乗せる機能と各行のパイプライン型リングバスから処理済みのパケットを受ける機能とを有するパケット制御手段と、

を備えたことを特徴とする並列処理装置。

10 【請求項 9】前記転送手段は、第 m 行の処理手段の結果を、第 1 行の処理手段が接続されたパイプライン型リングバスに転送することを特徴とする請求項 8 記載の並列処理装置。

【請求項 10】前記転送手段による転送は、同列の処理手段の間で行なうことを特徴とする請求項 8 または 9 記載の並列処理装置。

【請求項 11】各処理手段は、前記パイプライン型リングバスの一部を構成するシフトレジスタと、該シフトレジスタから取り込んだパケットを格納する第 1 のパケットキューと、上の層の処理手段から前記シフトレジスタに取り込むべきパケットを格納する第 2 のパケットキューとを備えたことを特徴とする請求項 1 または 8 記載の並列処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速に情報処理を行なうための並列処理装置に係り、特に大量のデータを繰返し処理する科学技術計算に好適なデータフロー型並列処理装置および複数の処理手段間のネットワークに関する。

【0002】

【従来の技術】超並列計算機の複数の処理手段（以降、単位処理要素； P E : Processing Element と呼ぶ）を接続する方式としてバス型、リングバス型、ハイパーキューブ型、ツリー型、格子型、スター型、網結合型等が知られている。

【0003】リングバス型に関しての改良は、「Loop Structured Computerについて」、情報処理・計算機アーキテクチャ研究会資料、56-1、および、「Loop Structured Computerのトラヒック特性」、電子情報通信学会論文誌'89/3 Vol. J72-D-I No. 3、第 149 頁～第 156 頁、および、「Loop Structured Computer の特性解析」、並列処理シンポジウム J S P P '89 第 321 頁～第 328 頁で知られている。

【0004】図 8 は上記論文中に開示された Loop Structured Computer（以降 L S C と呼ぶ）を示している。図 8 中、710, 720, 730, 740 は単位処理要素（P E）、711, 721, 731, 741 はシフトレジスタ、750 は複数の P E 内のシフトレジスタの出入力を順次接続して構成されたパイプライン型リングバス

である。特に、ホスト計算機との間でパケットの交換を行なう制御部を構成する P E 710 を C U (Control Unit) と呼ぶ。P E 720, 730, 740 は、記憶装置と直接接続されていないため、P E 710 とパケットを転送しあって記憶装置へアクセスする。パイプライン型リングバス 750 上には、空パケット、データパケット、結果パケットが詰まっており、各 P E はパイプライン型リングバス 710 上を流れる自 P E 宛のデータパケットおよび結果パケットを、空パケットまたは他 P E 宛の結果パケットと交換する。各 P E の処理は、自 P E 宛のデータパケットを処理し、他 P E 宛の結果パケットを作り出すことによって進行して行く。従来の技術による LSC の処理方式には以下に述べる 3 種類がある。

【0005】(1) 最初に各 P E の処理機能を固定してから処理データをパイプライン的に流す方式。

【0006】(2) 処理機能と処理データをともに持つ処理パケットをパイプライン的に流す方式。

【0007】(3) 上記(1), (2) が混在する処理方式。

【0008】パイプライン型リングバスを、C U を介して複数接続する処理形態も前記論文により知られている。

【0009】

【発明が解決しようとする課題】上記従来技術においては、処理性能を向上させようとして一つのパイプライン型リングバスに P E を増やしていくとパイプライン型リングバスの輪が大きくなり、目的の P E にパケットが届くまでの転送時間が長くなるという問題点があった。同様に、処理性能の向上を目的として P E を増やしていくとパイプライン型リングバスを流れるデータパケットや結果パケットのトラヒック量が増して P E 内の結果パケットがパイプライン型リングバスに出力できない事態が生じ、その結果、P E 内に自 P E 宛パケットを取り込むこともできなくなるために、処理がデットロックするという問題点があった。また、他のパイプライン型リングバスとは独立なパイプライン型リングバスを C U を介して接続していく方式もあるが、C U には、パイプライン型リングバス間をまたぐ P E 間のパケットの振り分け処理に大きな負担がかかるため、パイプライン型リングバス間のパケット転送時間が長くなりシステム性能が著しく低下するという問題点があった。

【0010】本発明の目的は、多重プログラミング環境に対応できる P E 数を確保するために上記パイプライン型リングバスのデータパケットおよび結果パケットのトラヒック量を容易に最適化することが可能であるネットワーク形態と処理方式とを提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明による並列処理装置は、複数のシフトレジスタをリング状に接続した 1 層のパイプライン型リングバ

スを複数層設けるとともに、前記パイプライン型リングバス上を流れるパケットを取り込んで処理する処理手段を各層の各シフトレジスタに対して設け、さらに、各層の少なくとも一つの処理手段に対してパケットの授受を行なうパケット制御手段を設け、前記処理手段に、その属する層の上の層の処理手段の出力を自層のパイプライン型リングバスに取り込む機能を付与したものである。

【0012】前記パケットは、例えば、各処理手段に割当てる機能を指定する機能情報を含むプログラム・パケットと、該プログラム・パケットにより指定された機能に基づき処理されるデータを含むデータ・パケットからなる。

【0013】各処理手段は、好ましくは、前記パイプライン型リングバス上を流れるパケットが自処理手段宛のパケットであるか否かを判定する手段と、該手段の出力に応じてそのパケットを取り込むか否かを切り換える手段とを有する。この場合、各処理手段は、前記パイプライン型リングバスからパケットを取り込む際、そのパケットに代えて、上の層の処理手段からのパケットまたは空パケットを当該パイプライン型リングバス上に乗せる手段を有することが望ましい。

【0014】前記判定する手段には他の層の処理手段に割当られたパケットを検知する機能も付与し、該検知時にそのパケットを下層のパイプライン型リングバスへスルーパスする経路を設けるようにしてもよい。

【0015】各処理手段は、前記パイプライン型リングバス上に流れるパケットが空パケットであるか否かを判定する手段と、該手段の出力に応じて、上の層の処理手段からのパケットを当該パイプライン型リングバス上に乗せるか否かを切り換える手段とを有してもよい。

【0016】前記パケット制御手段は、好ましくは、第 1 の演算を指定する第 1 のパケットと、該第 1 の演算の結果を利用して行なう第 2 の演算を指定する第 2 のパケットとを別個の処理手段に割当てる際、前記第 1 のパケットを割当てる処理手段の層より下の層の処理手段に前記第 2 のパケットを割当てるマッピング管理機能を有する。

【0017】本発明のその他の構成、および作用効果は以下の記載により明らかとなろう。

【0018】

【作用】本発明は、それぞれ複数の処理手段からなる複数の層を有し、パケット制御手段が各層の少なくとも一つの処理手段にパケットを流すことが可能であり、また、処理手段は上下のパイプライン型リングバスに接続していることからパイプライン型リングバス間のパケット転送に処理手段を利用可能となるため、各層のパイプライン型リングバスのデータパケットや結果パケットのトラヒック量を最適な状態とすることができる。

【0019】

【実施例】以下、本発明の実施例について詳細に説明す

る。

【0020】まず、図1に、本発明による並列処理装置の全体構成の一例を示す。図1中、101はホスト計算機、102はパケット制御装置、103は高速パケット処理装置、104は記憶装置である。ホスト計算機101とパケット制御装置102とは、記憶装置104を共有している。ホスト計算機101とパケット制御装置102との間には、ホスト計算機101がパケット制御装置102に起動を指示する信号と、パケット制御装置102がホスト計算機101に処理を終了したことを知らせる信号とが授受されている。高速パケット処理装置103は、複数のデータバスとパケット出力要求信号とでパケット制御装置102に接続されている。ホスト計算機101とパケット制御装置102との間のデータ転送、およびパケット制御装置102と高速パケット処理装置103との間のデータ転送は、全てパケットにより行われる。図1のパケット制御装置102と高速パケット処理装置103の第1列のPE(後述)とが従来のCUに相当する。パケットの形式にはCU用、PE用にそれぞれ二つあり、一つは高級言語等で記述されたプログラムをホスト計算機101内でコンパイルし記憶装置104に格納したCUプログラム・パケットおよびCUデータ・パケット形式、そして、もう一つは記憶装置104に格納してあるCUプログラム・パケットおよびCUデータ・パケットをパケット制御装置102が高速パケット処理装置103に流すために変換したPEプログラム・パケットおよびPEデータ・パケット形式である。後者のパケット形式の構成については後に詳述する。以下、処理の流れの概略を説明する。

【0021】ホスト計算機101は、パケット制御装置102に対してパケット処理実行を指示する。この指示に応じて、パケット制御装置102は記憶装置104に格納してあるCUプログラム・パケットを読みだし高速パケット処理装置103に流すためのPEプログラム・パケットに変換した後、該PEプログラム・パケットを高速パケット処理装置103にパイプライン的に流し始める。高速パケット処理装置103内部では、PEプログラム・パケットの内容に従いマッピングが行なわれる。ここで、マッピングとは、演算機能を指定する各プログラム・パケットを特定のPEに割当てる処理を行う。プログラムパケットを受け取ったPEは割当て完了報告を当該プログラムパケットに付加してパケット制御装置102へ返送する。パケット制御装置102は、割当て完了報告をカウントして全てのマッピングが終了したことを認識する。その時点で、パケット制御装置102は、記憶装置104に格納されているCUデータ・パケットを読みだして高速パケット処理装置103に流すPEデータ・パケットに変換し、該PEデータ・パケットを高速パケット処理装置103にパイプライン的に流す。全てのデータ・パケットの処理が終了した時点で、

パケット制御装置102はホスト計算機101に対して終了報告を行い、同時に高速パケット処理装置103の当該プログラムのマッピングの解除を行うためにプログラム消去パケットを流し、当該プログラムの処理が終了する。以上が本装置の処理の大まかな流れである。

【0022】次に、高速パケット処理装置103内部の動作を説明する。図2は、3行4列の高速パケット処理装置(トーラス型高速パケット処理装置という)103の構成の一例を、パケット制御装置102および記憶装置104とともに示している。211, 212, 213, 214, 221, 222, 223, 224, 231, 232, 233, 234は、それぞれPEである。

図2中、それぞれパイプライン型リングバス10, 20, 30で接続している一つの行を層と呼び、PE(1, 1), PE(1, 2), PE(1, 3), PE(1, 4)を第1層、PE(2, 1), PE(2, 2), PE(2, 3), PE(2, 4)を第2層、PE(3, 1), PE(3, 2), PE(3, 3), PE(3, 4)を第3層と呼ぶ。各層の第1列のPE(1, 1), PE(2, 1), PE(3, 1)は、それぞれパケット制御装置102と接続されている。さらにこれらのPEは、パケット制御装置102に対するパケットとり込み要求信号を送出する機能を有する。PE(1, 1), PE(2, 1), PE(3, 1)を除く全てのPEは、上層のパイプライン型リングバスからパケットを取り込み、パケットを処理し、下層のパイプライン型リングバスへ処理済みのパケットを送り出すこと、および、上層のパイプライン型リングバスからパケットを取り込み、下層のパイプライン型リングバスへパケットをスルーすることが可能である。PE(1, 1), PE(2, 1), PE(3, 1)の上下の接続バスはパケット制御装置102に接続されており、当該接続バスを通してパケット制御装置102とのパケットの交換が行われる。

【0023】尚、m行n列のトーラス型高速パケット処理装置にも拡張することができる。また、第3層から第1層への接続バスを除去した非トーラス型の実施例も考えられる。この場合、第3層から第1層へのパケットの転送はパケット制御装置102を介して行なうことになる。

【0024】図3に、PEの一構成例を示す。図3中、301, 302, 303はシフトレジスタを構成するラッチ、310は空パケット判定回路、320は処理パケット判定回路、311, 321, 322は選択回路、323はスルーバス、330は空パケット生成器、340は処理待ちパケットキュー、341は演算入力ラッチA、342は演算入力ラッチB、350は機能決定情報レジスタ、360は演算・処理部、370はデータ・パケット生成回路、380は出力待ちパケットキュー、372はパケット送出要求信号である。パケット送出要求

信号372は、図2の第1列のPE211, 221, 231にのみ必要とされる信号であるが、各PEを同一構成とするためにはすべてのPEに設けておいてよい。また、300はラッチ301へつながるパイプライン型リングバス入力端子、304はラッチ303の出力を受けるパイプライン型リングバス出力端子である。隣接するPE間で、相互にパイプライン型リングバス入力端子300とパイプライン型リングバス出力端子304とを接続することにより、パイプライン型リングバスが構成される。371はPEデータ・パケット出力端子、381はPEプログラム/データ・パケット入力端子である。図2で上下に隣接するPE間で、相互にPEデータ・パケット出力端子371とPEプログラム/データ・パケット入力端子381とをカスケード接続することにより、同列のPEがリング状に接続される。つまり、PE内部のパイプライン型リングバスから取り出した(パケット交換した)データ・パケットが、そのPE内の処理待ちパケットキュー340から演算・処理部360に渡り、演算結果はデータ・パケット生成回路370でデータ・パケットとなり、PEデータ・パケット出力端子371から隣接する下層のPEの出力待ちパケットキュー380にキューイングされ、下層のパイプライン型リングバスへと転送(パケット交換)されるようになっている。なお、一つのPE内の出力待ちパケットキュー380を同一PE内のデータ・パケット生成回路370の後段に設けてもよいが、図3のようにパイプライン型リングバスをPE内部に取り込んだ構造とすることにより、出力待ちパケットキュー380とパイプライン型リングバスとの間の物理的距離、および処理待ちパケットキュー340とパイプライン型リングバスとの間の物理的距離を短くし、パイプライン型リングバスの高速化を図ることができる。

【0025】図4および図5はPEプログラム/データ・パケット形式の一実施例を示している。400, 420はタスク番号(TN)、401, 421はパケット番号(PN)である。402, 422は、そのパケットが割当てられるPEを指定する処理先PEアドレス(LNPE)である。403は、プログラム・パケットの機能を示す演算コード(FC)、404は発火条件(E C)、405は出力データ型(DT)、424は後述するRTデータの型(DT)、406は演算結果を出力する個数(OC)、407, 408, 409, 410は出力先PEアドレス(LNPE)である。また、423はコンディションコード(CC)、425はCUがデータ管理するためのデータのシリアル番号(DN)、426は演算データおよび結果データ(RT)を示している。出力先PEアドレス407, 408, 409, 410には、演算器の複数の入力ポートのいずれ(A側またはB側)へ出力されるかを示す情報も含まれている。発火条件404の左のビットが‘1’のとき演算入力Aが揃

い、右のビットが‘1’のとき演算入力Bが揃っていることを意味する。演算コード403が‘DATA’かつ発火条件404が‘10’の時、407フィールドおよび408フィールドが演算入力Aの定数として、また、演算コード403が‘DATA’かつ発火条件404が‘01’の時、409フィールドおよび410フィールドが演算入力Bの定数となる。空パケットはタスク番号400, 420が‘0’であるときであり、また、プログラム消去パケットはPEデータ・パケットのタスク番号420が‘0’以外であり、かつパケット番号421が‘0’であるときである。コンディションコード423が‘0’以外の場合、そのPEデータ・パケットの演算入力データ426に演算エラーがあることを示している。出力データ型406は、出力データが実数であるか整数であるかを、それぞれ‘F’, ‘I’で示す。

【0026】図6は、PEの動作を説明するためのプログラムの一例である。同図(a)は高級言語FORTRANで記述した1次元配列の乗算と加算を行うプログラム、同図(b)は同図(a)のプログラムをホスト計算機がコンパイルして得られたCUパケットに対してさらにパケット制御装置102が変換処理を行なって得られたPEプログラム・パケットを示している。同図(c)は同図(a)のPEプログラム・パケットに対応するPEデータ・パケットを示している。

【0027】図6(b)において、PEプログラム・パケット501は、タスク番号が‘1’でパケット番号が‘1’、演算コードが乗算‘*’(この場合、A(i)*B(i))であり、演算結果を実数としてPEアドレス‘23’の演算器入力A側に出力するパケットを表し、PEアドレス‘12’にマッピングされることを示している。パケット502は、タスク番号が‘1’でパケット番号が‘2’、演算コードが乗算‘*’(この場合、パケット501の計算結果*S)であり、演算結果を実数としてPEアドレス34の演算器入力A側に出力するパケットを表し、PEアドレス‘23’にマッピングされることを示している。パケット503は、タスク番号が‘1’でパケット番号が‘3’であり、PEアドレス‘23’の演算器のA側に格納する定数SをPEアドレス23にマッピングすることを表している。パケット

504は、タスク番号が‘1’でパケット番号が‘4’、演算コードが加算‘+’(この場合、パケット502の計算結果+C(i))であり、演算結果を実数としてPEアドレス11の演算器入力A側に出力するパケットを表し、PEアドレス‘34’にマッピングされることを示している。パケット505は、タスク番号が‘1’、パケット番号が‘5’で、演算器のB側入力にパケット504の演算結果が送られて来たとき、それをパケット制御装置102に転送するパケットを表し、PEアドレス11にマッピングされることを示している。

【0028】図6(c)において、パケット510は、

タスク番号が‘1’、パケット番号が‘6’、転送先PEアドレスが‘12’のA側であり、PE内演算器入力A側のRTデータの型が実数であることを表している。パケット511は、タスク番号が‘1’でパケット番号が‘7’、転送先PEアドレスが‘12’のB側であり、PE内演算器入力B側のRTデータの型が実数であることを表している。パケット512は、タスク番号が‘1’でパケット番号が‘8’、転送先PEアドレスが‘34’のB側であり、PE内演算器入力B側のRTデータの型が実数であることを表している。510, 511, 512の形式のPEデータ・パケットが、A(1), B(1), C(1)からA(100), B(100), C(100)まで、パケット制御装置102により生成される。最後に、プログラム消去パケット513が生成される。

【0029】図7は、図6(b)に示したPEプログラム・パケット群を高速パケット処理装置103にマッピングした状態を示している。すなわち、PEプログラム・パケット501, 502, 503, 504, 505は、それぞれPEアドレス‘12’, ‘23’, ‘23’, ‘34’, ‘11’に割当てられている。パケット制御装置102は、各パケットを、通常その割当て先のPEの属する層の第1列のPEを介してパイプライン型リングバスに流すが、当該層の第1列のPEの出力待ちパケットキュー380が満杯で取り込まれなかったパケットは点線で示されるパイプライン型リングバスをPE内処理待ちキューが空くまで回り続ける。

【0030】図3のPEの構成、図4のPEプログラム・パケット形式、および図9のフローチャートを参照し、具体的なマッピングの動作について説明する。

【0031】(1)まず、パケット制御装置102は記憶装置104からCUプログラム・パケットを読みだし、これをPEプログラム・パケットに変換した後(S1)、処理先PEアドレス402に従い、パケット制御装置102と接続されているPEの一つへそのPEプログラム・パケットを転送する(S2)。

【0032】(2)このPEプログラム・パケットは、当該PEの出力待ちパケットキュー380に格納される。

【0033】(3)空パケット判定回路310は、パイプライン型リングバスを常に監視しており(S3)、タスク番号が‘0’つまり空パケットであることを検出した場合、セレクタ311をパイプライン型リングバスの流れから出力待ちパケットキュー380の出力へ切り替え(S15)、出力待ちパケットキュー380に格納してあるPEプログラム・パケットをパイプライン型リ

ングバスに乗せる。出力待ちパケットキュー380が空の場合(S14)、セレクタ311の切り替えは起こらない。

【0034】(4)処理パケット判定回路320は、パイプライン型リングバスを常に監視しており(S4)、PEアドレスが機能決定情報レジスタ350に格納されているPEアドレスと等しい場合、セレクタ321をパイプライン型リングバスの流れから処理待ちパケットキュー340の方へ、また、セレクタ322をパイプライン型リングバスの流れから空パケット生成器330の方へ同時に切り替え(S8)、処理待ちパケットキュー340に当該PEプログラム・パケットを格納すると同時に、パイプライン型リングバスに空パケットを乗せる。なお、機能決定情報レジスタ350のPEアドレスフィールドには、そのPEのPEアドレスをシステム立ち上げ時等に格納し、あるいは固定的に設定しておく。空パケットをパイプライン型リングバスに乗せる際、出力待ちパケットキュー380にパケットがあれば(S9)、セレクタ311をパイプライン型リングバスの流れから出力待ちパケットキュー380の方に切り替え(S12)、空パケットの代わりに当該パケットキュー380内のパケットをパイプライン型リングバスに乗せる。処理パケット判定回路320は、パイプライン型リングバス上を流れるパケット(ラッチ301にラッチされたもの)の割当て先PEの層が自層と異なるか否かも判定する(S5)。異なると判定された場合には、セレクタ321を自層のパイプライン型リングバスの流れからスルーパス323の方へ切り替え(S7)、下層の出力待ちパケットキュー380を介して下層のパイプライン型リングバスへ当該パケットを流し込む。

【0035】(5)上記処理(4)で処理待ちパケットキュー340に格納したPEプログラム・パケットの演算コード403が‘DATA’以外ならば(S10)、そのPEプログラム・パケットを機能決定情報レジスタ350に格納する(S11)。演算コード403が‘DATA’であれば、このPEプログラム・パケットの発火条件404に従い、定数を演算入力ラッチA341または演算入力ラッチB342に格納する(S13)。

【0036】(6)パケット制御装置102の制御下で、CUプログラム・パケットがなくなるまで(S6)、上記(1)～(5)の処理が並列に繰返され、全てのプログラム・パケットが各層の各PEに割り当てられる。

【0037】以上がマッピング動作である。次に、図3のPEの構成、図4のPEプログラム・パケット形式、および図10のフローチャートを参照し、具体的なマッピングの動作について説明する。

【0038】(1)パケット制御装置102は、記憶装置104からCUデータ・パケットを読みだし、これをPEデータ・パケットに変換した後(S21)、処理先

P E アドレス 422 に従い、パケット制御装置 102 と接続している P E の一つへその P E データ・パケットを転送する (S 22)。

【0039】(2) この P E データ・パケットは当該 P E の出力待ちパケットキュー 380 に格納される。

【0040】(3) 空パケット判定回路 310 は、パイプライン型リングバスを常に監視しており (S 23)、タスク番号が '0'、つまり空パケットであることを検知した場合、セレクタ 311 をパイプライン型リングバスの流れから出力待ちパケットキュー 380 の出力へ切り替え (S 39)、出力待ちパケットキュー 380 に格納してある P E データ・パケットをパイプライン型リングバスに乗せる。出力待ちパケットキュー 380 が空の場合 (S 38)、セレクタ 311 の切り替えは起こらない。

【0041】(4) 処理パケット判定回路 320 はパイプライン型リングバスを常に監視しており (S 24)、P E アドレスが機能決定情報レジスタ 350 に格納されている P E アドレスと等しい場合、セレクタ 321 をパイプライン型リングバスの流れから処理待ちパケットキュー 340 の方へ、また、セレクタ 322 をパイプライン型リングバスの流れから空パケット生成器 330 の方へ同時に切り替え (S 25)、処理待ちパケットキュー 340 にその P E プログラム・パケットを格納すると同時に、パイプライン型リングバスに空パケットを乗せる。この時、出力待ちパケットキュー 380 にパケットがあれば (S 26)、セレクタ 311 をパイプライン型リングバスの流れから出力待ちパケットキュー 380 の方に切り替え (S 35)、当該パケットキュー 380 内のパケットをパイプライン型リングバスに乗せる。処理パケット判定回路 320 は、割当て先 P E の属する層が自層と異なる場合には (S 36)、セレクタ 321 を自層のパイプライン型リングバスの流れからスルーパス 323 の方へ切り替え (S 37)、下層の出力待ちパケットキュー 380 を介して下層のパイプライン型リングバスへそのパケットを流し込む。

【0042】(5) 上記処理 (4) で処理待ちパケットキュー 340 に格納した P E データ・パケットのパケット番号 421 が '0' のとき (S 27)、機能決定情報レジスタ 350 を初期状態にする (S 34)。P E データ・パケットのコンディション・コード 423 が '0' であれば (S 29)、演算・処理部 360 の、P E アドレス 422 で指定された演算入力側に R T データ 426 を流しこむ。コンディション・コード 423 が '0' 以外、つまり前の処理で演算エラーがあったときには、そのコンディション・コード 423 に定められた例外処理を行う (S 33)。なお、機能決定情報レジスタ 350 内の発火条件の '0' ビットは、演算データが所定の入力側に取り込まれたとき '1' へ変えられる。

【0043】(6) 機能決定情報レジスタ 350 内の発

火条件が '11' となった場合 (S 28)、つまり、演算データが揃った場合、その P E データ・パケットは演算・処理部 360 で処理され (S 30)、演算結果をデータ・パケット生成回路 370 に送出して、P E データ・パケットを生成する (S 31)。

【0044】(7) データ・パケット生成回路 370 は、機能決定情報レジスタ 350 の演算結果を出力する個数 406 と、出力先 P E アドレス 407, 408, 409, 410 とに従い、出力する個数分の P E データ・パケットを生成する。これらの P E データ・パケットは下層の P E の出力待ちパケットキュー 380 に格納される。

【0045】(8) 上記 (3) ~ (7) の動作が全 P E で並列におこなわれる。但し、機能決定情報レジスタ 350 の演算コード 403 が OUT 機能である P E では、機能決定情報レジスタ 350 内の発火条件が '11' の場合、データ・パケット生成回路 370 はパケット制御装置 102 に対してパケット送出要求 372 を送出すると共に該データ・パケット生成回路 370 が生成した P E データ・パケットをパケット制御装置 102 に流し込む。そして、パケット制御装置 102 は記憶装置 104 に当該結果を格納する。

【0046】(9) パケット制御装置 102 の制御下で、C U データ・パケットがなくなるまで (S 32)、上記 (1) ~ (8) までの処理が並列に繰返され、パケット制御装置 102 は、全ての処理済みデータ・パケットを受け取った時点でプログラム消去パケット 513 を流し、当該プログラムで使用していた P E を他のタスクのために開放する。

【0047】

【発明の効果】本発明によれば、パイプライン型リングバスに複数の P E を接続した構造を一つの層とし、P E を介して層間接続を行なうことにより、パケット制御装置を介することなく一つのパイプライン型リングバスから他のパイプライン型リングバスにパケットが流れるため、パケット制御装置の負担が軽減され、その結果、パケット制御装置はより多くのデータ・パケットを高速パケット処理装置に流すことができ、多くのタスクが効率よく並列に多重処理できる。

【0048】さらに、データ・パケットは P E の上層のパイプライン型リングバスから入り、P E 内演算器で処理され、P E の下層のパイプライン型リングバスへと流れていくため、P E 内の結果パケットがパイプライン型リングバスに出力できずにデットロックするおそれも軽減される。

【0049】層間のスルーパスを設けることにより、層違いのパケットを迅速に目的の層へ転送することができる。勿論、各層の P E と C U が接続することで、連続した層の P E を割り当てられない場合でも、C U を介して目的の層にデータを流し込むことができ、パケット制御

装置（および P E）の利用効率を高めることができることが容易である。

【0050】また、パイプライン型リングバスの一部を構成するレジスタを P E に内蔵することにより、パイプライン型リングバスと出力待ちパケットキューとの間、および、パイプライン型リングバスと処理待ちパケットキューとの間、の物理的距離が短くなるために、パイプライン型リングバスの高速化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の一構成例を示すブロック図。

【図 2】本発明による 3 行 4 列のトーラス型高速パケット処理装置の一実施例の構成を示すブロック図。

【図 3】図 2 の単位処理要素（P E）の一構成例を示すブロック図。

【図 4】実施例の装置に使用される P E プログラム・パケット形式の一例の説明図。

【図 5】実施例の装置に使用される P E データ・パケット形式の一例の説明図。

【図 6】実施例の P E 動作を説明するためのプログラム例の説明図。

【図 7】実施例におけるプログラム・マッピング例の説明図。

【図 8】従来の高速パケット処理装置の構成のブロック図。

【図 9】実施例におけるプログラム・マッピングのフローチャート。

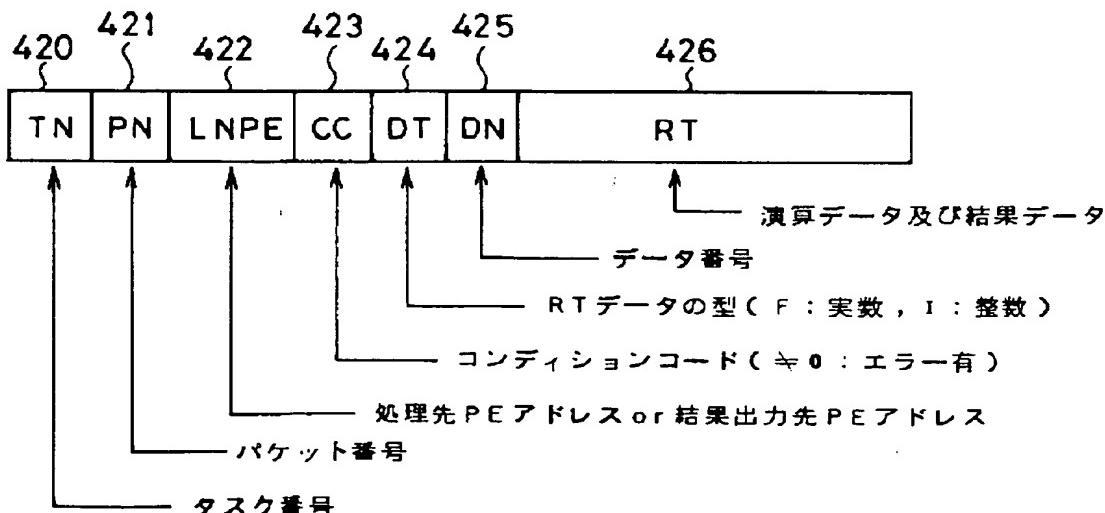
【図 10】実施例における演算処理のフローチャート。

【符号の説明】

101…ホスト計算機、102…パケット制御装置、103…高速パケット処理装置、104…記憶装置、211, 212, 213, 214, 221, 222, 223, 224, 231, 232, 233, 234…単位処理要素、300…パイプライン型リングバス入力端子、301, 302, 303…ラッチ、304…パイプライン型リングバス出力端子、310…空パケット判定回路、311, 321, 322…セレクタ、320…処理パケット判定回路、323…スルーパス、330…空パケット生成器、340…処理待ちパケットキュー、341…演算入力ラッチ A、342…演算入力ラッチ B、350…機能決定情報レジスタ、360…演算・処理部、370…データ・パケット生成回路、371…P E データ・パケット出力端子、372…パケット送出要求、380…出力待ちパケットキュー、381…P E プログラム/データ・パケット入力端子、400, 420…タスク番号、401, 421…パケット番号、402, 422…処理先 P E アドレス、403…演算コード、404…発火条件、405…出力データ型、406…出力個数、407, 408, 409, 410…出力先 P E アドレスおよび演算器入力ポート指定、423…コンディション・コード、424…R T データ型、425…データ番号、426…演算データおよび結果データ、501, 502, 503, 504, 505…P E プログラム・パケット、510, 511, 512…P E データ・パケット、513…プログラム消去パケット、710…制御部、720, 730, 740…処理要素、711, 712, 713, 714…シフトレジスタ。

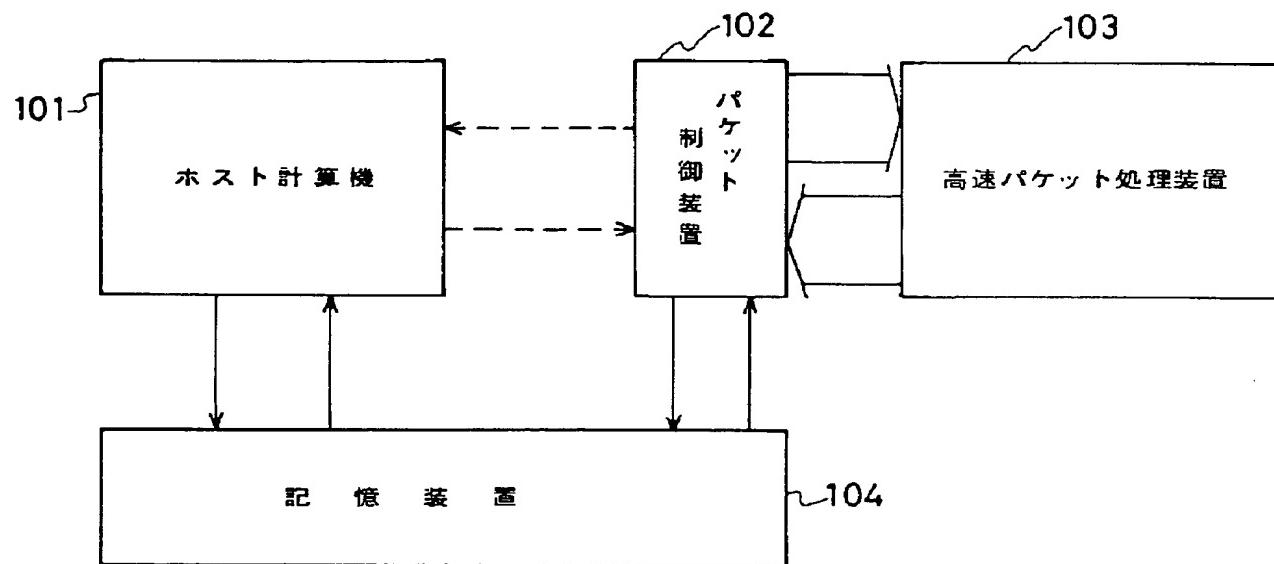
【図 5】

図 5 P E データパケット形式の一例



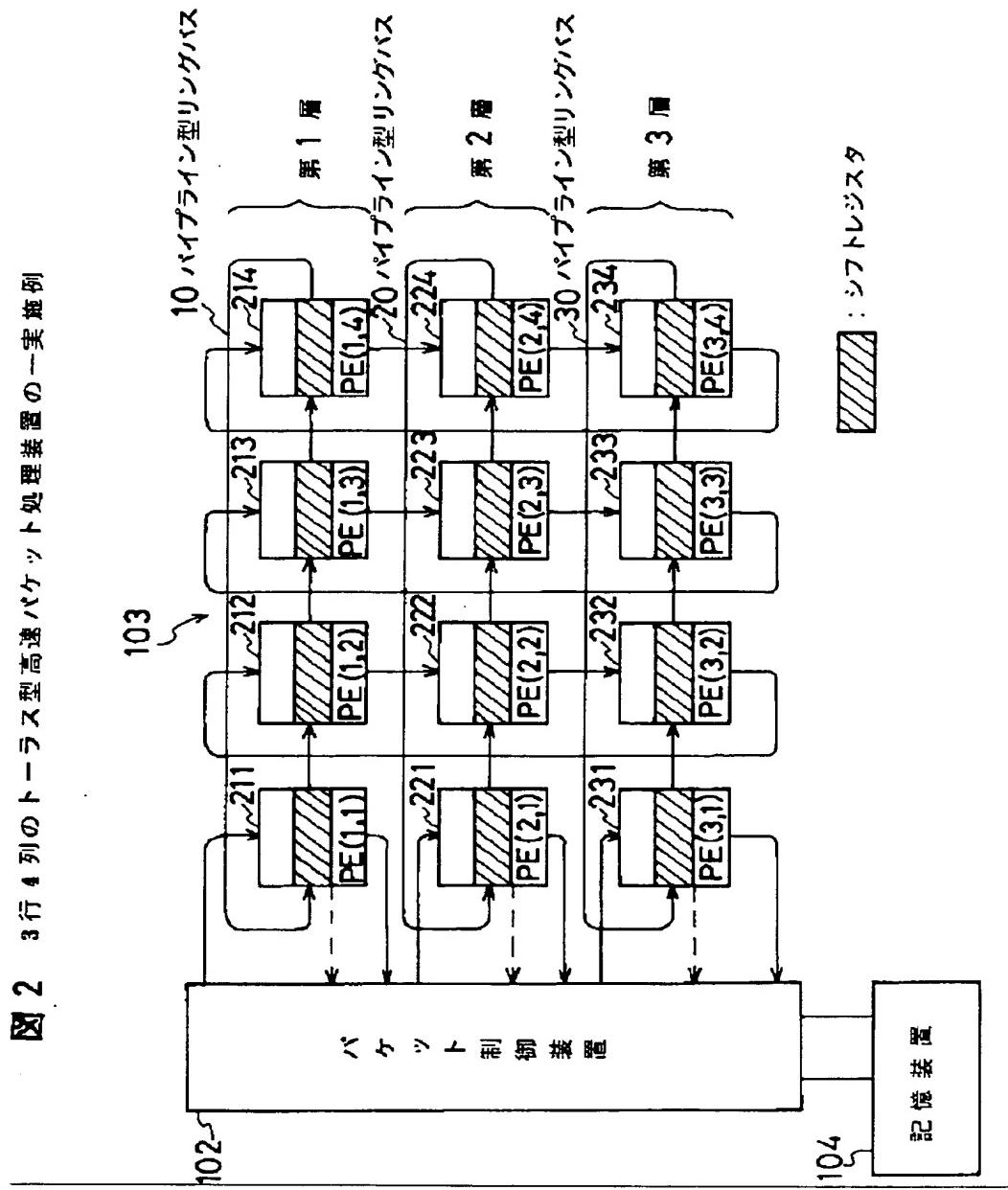
【図 1】

図 1 本発明の一構成



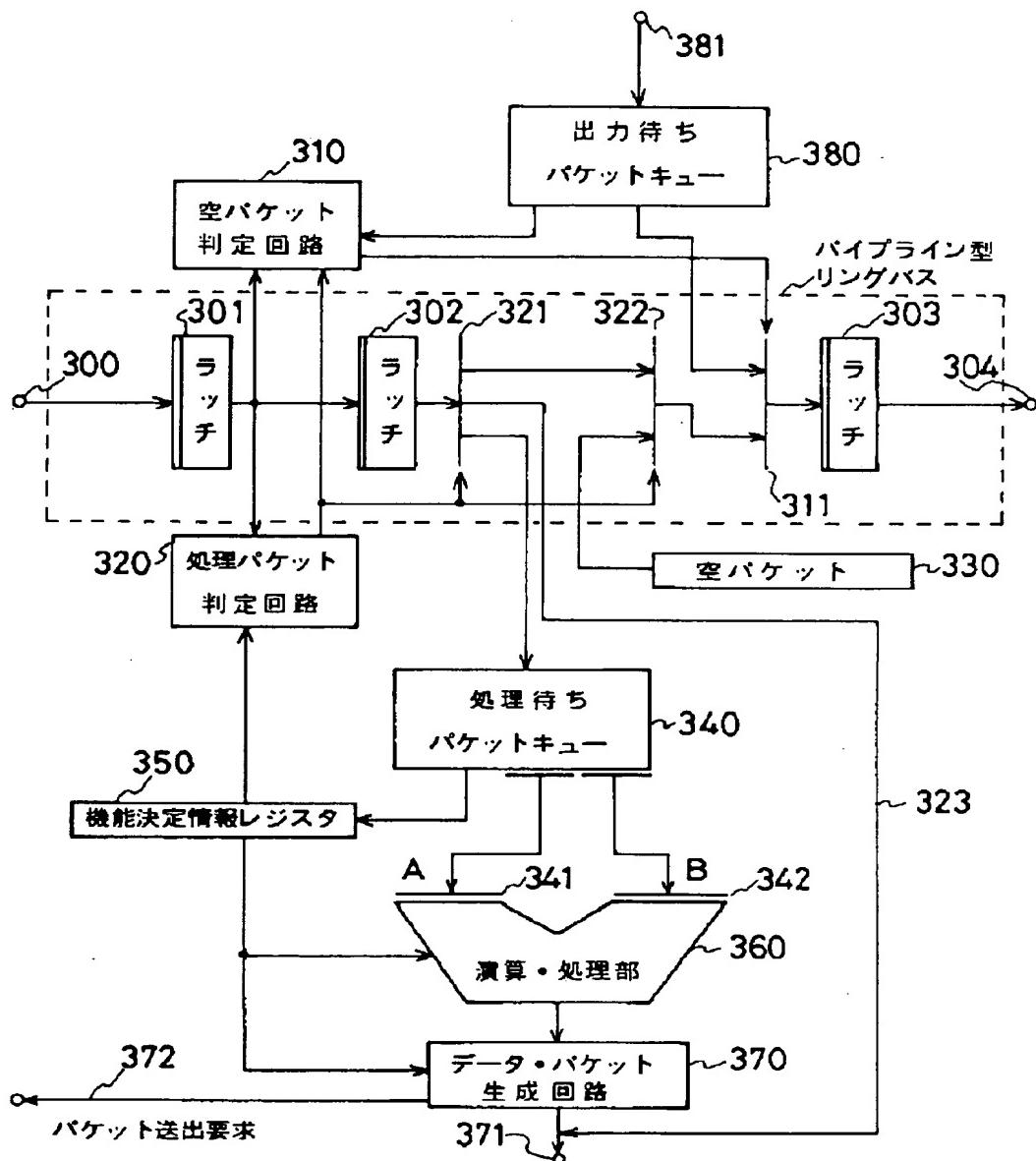
[図 2]

図 2 3 行 4 列のトーラス型高速バケット処理装置の一実施例

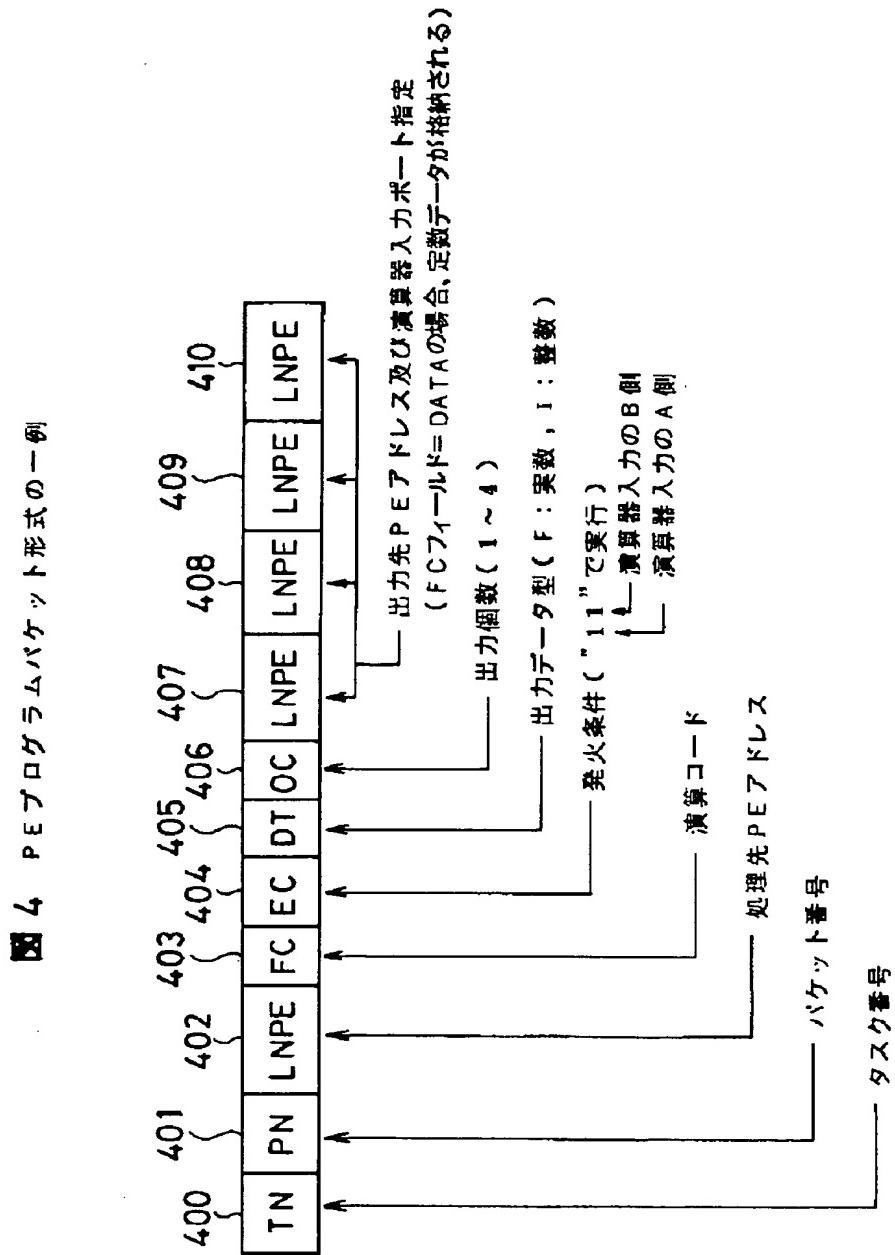


【図 3】

図 3 単位処理要素 (PE) の一実施例



【图4】



【図 6】

図 6 PE 動作説明用 プログラム例

```

INTEGER      I
REAL        A(100), B(100), C(100), S
S=3.5
Do 10  I=1 , 100
      D(I)= A (I) * B (I) * S + C (I)
10  CONTINUE

```

(a) FORTRAN プログラム

TN	PN	LNPE	FC	EC	DT	OC	LNPE	LNPE	LNPE	LNPE
501～01	01	12	*	00	F	1	23A	—	—	—
502～01	02	23	*	10	F	1	34A	—	—	—
503～01	03	23	DATA	10	—	—	S	—	—	—
504～01	04	34	+	00	F	1	11A	—	—	—
505～01	05	11	OUT	10	F	1	—	—	—	—

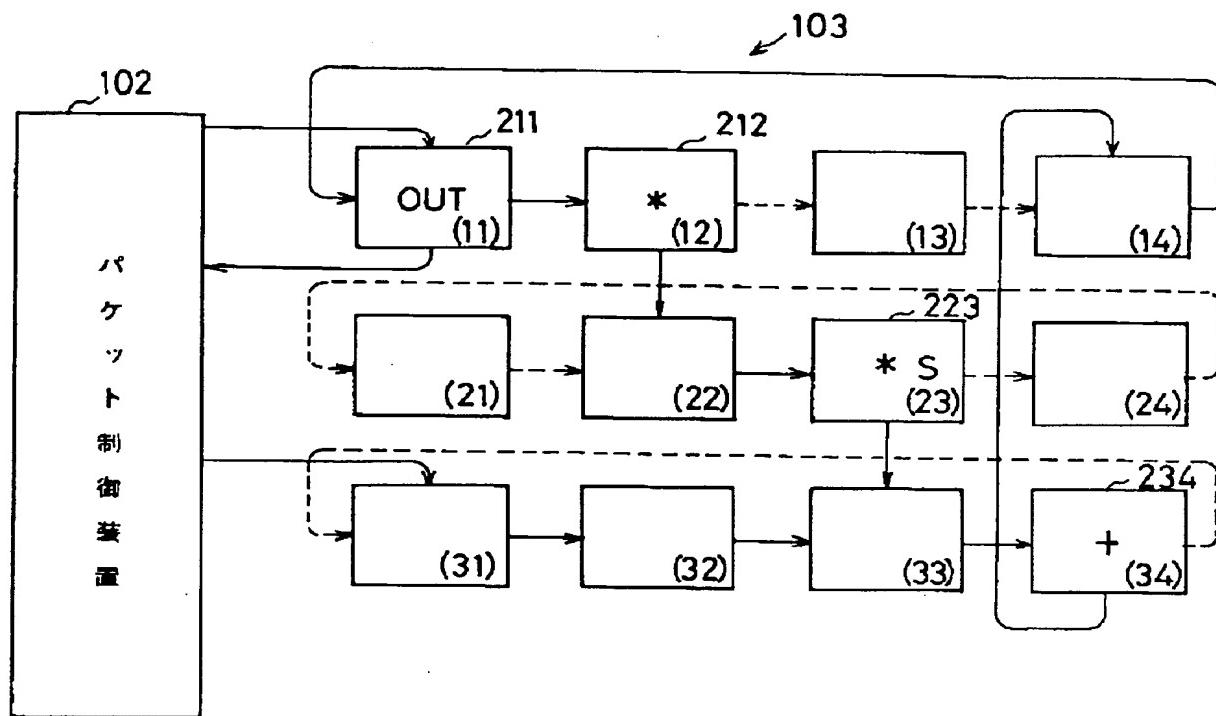
(b) PE プログラム・パケット

TN	PN	LNPE	CC	DT	DN	RT
510～01	06	12A	0	F	01	A(1)
511～01	07	12B	0	F	02	B(1)
512～01	08	34B	0	F	03	C(1)
01	09	12A	0	F	04	A(2)
01	10	12B	0	F	05	B(2)
01	11	34B	0	F	06	C(2)
			,			
01	303	12A	0	F	298	A(100)
01	304	12B	0	F	299	B(100)
01	305	34B	0	F	300	C(100)
513～01	00	—	—	—	—	—

(c) PE データ・パケット

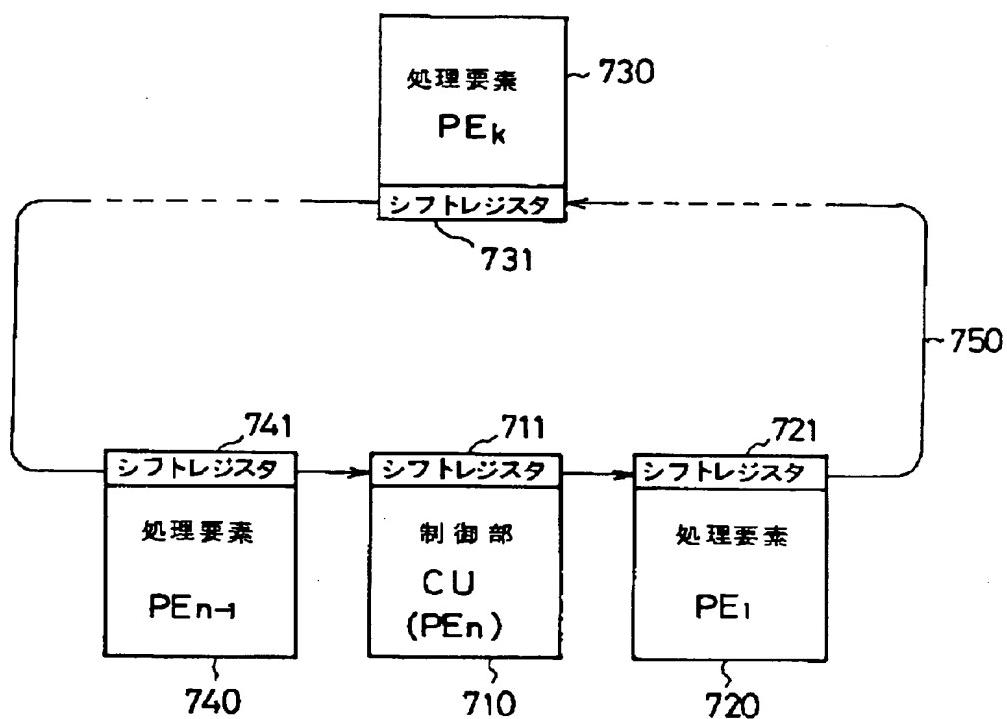
【図 7】

図 7 PE動作説明用プログラム・マッピング例



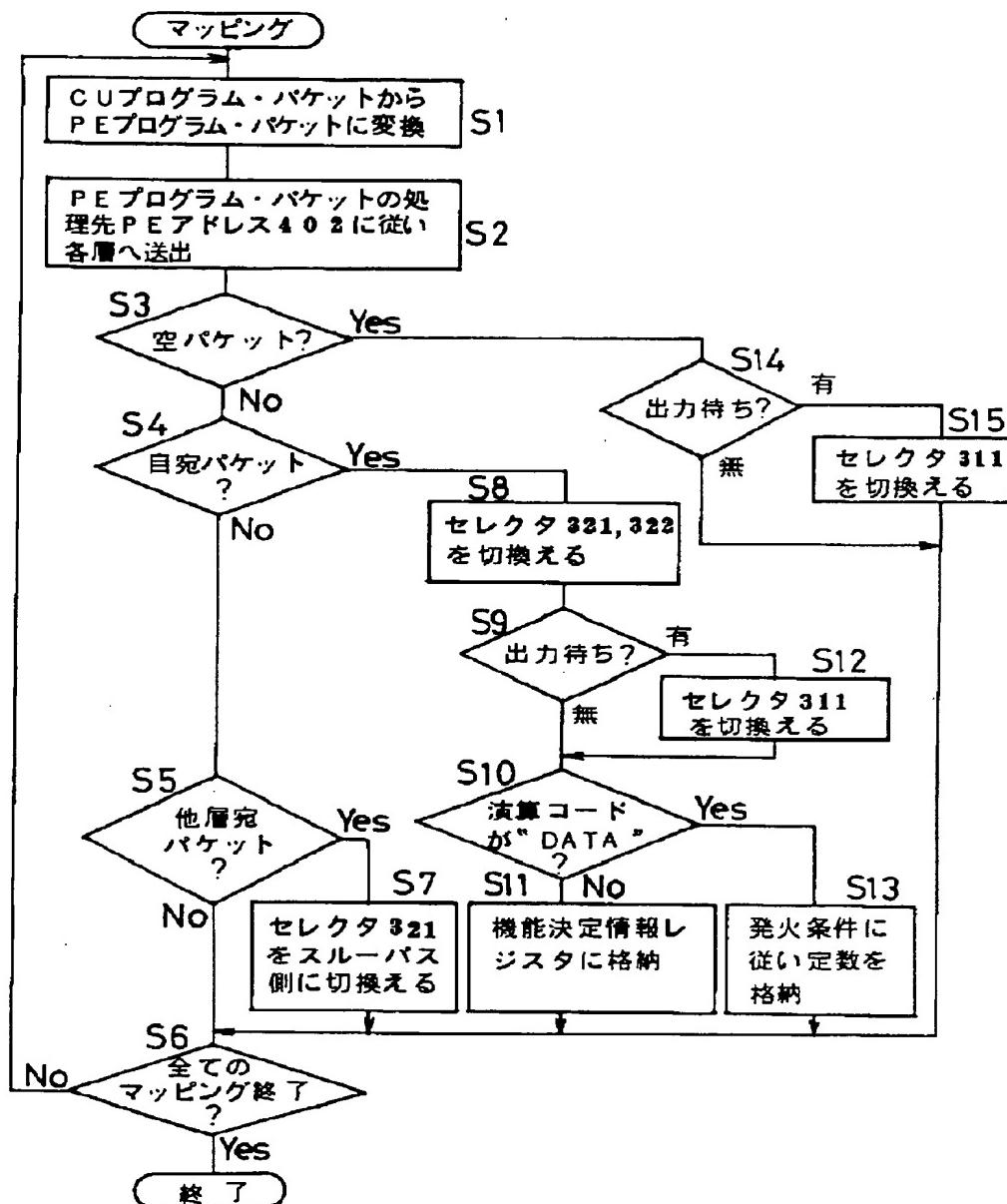
【図 8】

図 8 従来の高速パケット処理装置の構成



【図9】

図9



【図 10】

図10

